

NMOS or PMOS, MOSFET transistor includes smaller third and fourth dopant pockets implanted in the channel, close to drain and source regions

Patent Number: FR2796204
Publication date: 2001-01-12
Inventor(s): ARNAUD FRANCK; ALIEU JEROME; HAOND MICHEL
Applicant(s): ST MICROELECTRONICS SA (FR)
Requested Patent: ☐ FR2796204
Application Number: FR19990009038 19990707
Priority Number(s): FR19990009038 19990707
IPC Classification: H01L29/78; H01L21/265; H01L27/04
EC Classification: H01L21/336C, H01L29/10D2B2B
Equivalents:

Abstract

Third- (16) and fourth- (17) pockets of dopant of P<+> or N<+>, are implanted in the channel (9) close to the drain and source regions. Their volume is less than that of the first- (14) and second- (15) pockets, such that the channel (9) has a growing dopant concentration profile of the N<+>/N<+> or P<+>/P<+> type, near the drain and source regions.

Data supplied from the esp@cenet database - I2

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 796 204

②1 N° d'enregistrement national :

99 09038

⑤1 Int Cl⁷ : H 01 L 29/78, H 01 L 21/265, 27/04

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 07.07.99.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 12.01.01 Bulletin 01/02.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR et FRANCE TELECOM — FR.

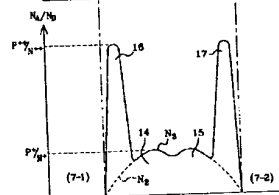
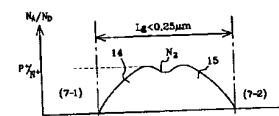
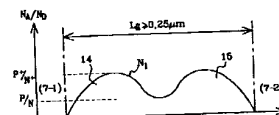
⑦2 Inventeur(s) : ALIEU JEROME, ARNAUD FRANCK
et HAOND MICHEL.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : MARCHAND ANDRE.

⑤4 TRANSISTOR MOSFET A CANAL COURT.

⑤7 L'invention concerne un transistor MOSFET (50) du type NMOS ou PMOS, comprenant des régions (7, 7-1, 8, 8-1) de drain et de source du type N ou P implantées dans un substrat (2) du type P ou N, une grille (3) formée sur le substrat par l'intermédiaire d'une couche électriquement isolante (4), et une première (14) et une deuxième (15) poches de dopants du type P ou N+ implantées dans le canal (9) du transistor au voisinage des régions de drain et de source, s'étendant sensiblement sous la grille. Le transistor selon l'invention comprend une troisième (16) et une quatrième (17) poches de dopants du type P++ ou N++ implantées dans le canal au voisinage des régions de drain et de source, d'un volume inférieur à celui des première (14) et deuxième (15) poches, de telle sorte que le canal (9) présente un profil de concentration en dopant croissant du type N+/N++ ou P+/P++ au voisinage des régions de drain et de source. Avantages: réduction de l'étendue des zones de charge d'espace et diminution des effets canaux courts.



FR 2 796 204 - A1



TRANSISTOR MOSFET A CANAL COURT

La présente invention concerne un transistor MOSFET du type NMOS ou PMOS, comprenant des régions de drain et de source du type N ou P implantées dans un substrat du type P ou N, une grille formée sur le substrat par l'intermédiaire d'une couche mince électriquement isolante, et une première et une deuxième poches de dopants du type P⁺ ou N⁺ implantées dans le canal du transistor au voisinage des régions de drain et de source, s'étendant sensiblement sous la grille.

Un des enjeux majeurs de la microélectronique est de réduire les dimensions des transistors sans dégrader leurs caractéristiques électriques. Au cours des années 1980-1990, on a vu apparaître les filières technologiques dites submicroniques, permettant de réaliser des transistors MOS ayant une grille d'une longueur inférieure au micromètre. On développe aujourd'hui des techniques de photolithographie permettant de réaliser des transistors ayant une longueur de grille inférieure à 0,25 micromètre.

Or, la réalisation de transistors d'aussi petites dimensions ayant des caractéristiques électriques satisfaisantes ne va pas sans difficultés, notamment en raison de l'effet dit "canal court", ou effet SCE ("Short Channel Effect") et de l'effet "d'abaissement de la barrière par polarisation du drain", ou effet DIBL ("Drain Induced Barrier Lowering"). Comme cela est bien connu de l'homme de l'art, l'effet canal court est essentiellement dû aux zones de charge d'espace apparaissant naturellement (en l'absence de polarisation du transistor) dans les jonctions PN présentes aux interfaces canal/drain et canal/source. Ces zones

dépeuplées de porteurs libres réduisent la longueur utile du canal et le nombre de porteurs disponibles pour la zone d'inversion. Par ailleurs, l'effet DIBL est plus particulièrement dû à une augmentation de l'étendue de la zone de charge d'espace côté drain lorsque le transistor MOS est polarisé, l'interface drain/canal formant une jonction PN ou NP polarisée en inverse.

Ces phénomènes provoquent un raccourcissement du canal non contrôlé par la grille, d'où il s'ensuit une diminution sensible de la tension de seuil V_{th} et une augmentation du courant OFF, c'est-à-dire du courant de fuite des transistors.

Pour pallier ces inconvénients, il est connu d'implanter des poches d'Arsenic ou de Phosphore dans le canal des transistors PMOS, et des poches de Bore ou d'Indium dans le canal des transistors NMOS. Cette solution, mis en œuvre aujourd'hui à l'échelle industrielle, est notamment décrite dans les articles A[1], A[2], A[3] dont les références sont données en annexe.

Pour fixer les idées, la figure 1 représente un transistor classique à canal court comprenant de telles poches de dopants. Le transistor 1, ici du type NMOS, est réalisé dans un substrat de silicium 2 faiblement dopé P. Ce substrat est par exemple un caisson dopé P implanté dans une plaquette de silicium monocristallin ou une couche de silicium épitaxié légèrement dopée. La grille 3, par exemple en silicium polycristallin, repose sur le substrat 2 par l'intermédiaire d'une couche isolante mince 4, et présente sur ses flancs des espaceurs 5, 6 assurant son isolation électrique vis-à-vis des régions de drain 7 et de source 8. Les régions de drain 7 et de source 8, fortement dopées (N^{++}), rejoignent le canal 9 présent sous la grille 3 par l'intermédiaire de régions 7-1, 8-1 d'extension de drain et de source légèrement dopées (N^{+}), ou régions LDD ("Lightly Doped Drain"). Par ailleurs, le drain 7, la

source 8 et la grille 3 sont recouverts par une couche métallique mince formant des contacts 11, 12, 13.

Les poches évoquées ci-dessus, désignées sur la figure 1 par les références 14, 15, sont implantées au
5 voisinage des régions d'extension 7-1, 8-1 en utilisant les bords la grille 3 comme masque d'implantation (technique dite d'auto-alignement sur la grille). L'implantation est faite avec un angle déterminé et une forte énergie de manière que les poches 14, 15 s'étendent
10 nettement sous la grille 3 l'une en direction de l'autre, à l'intérieur et dans la profondeur du canal 9. Par ailleurs, l'implantation est faite à dose modérée, de manière que les poches 14, 15 présentent une concentration en dopant moyenne, ici du type P^+ , afin ne
15 pas dégrader les propriétés du canal 9 en termes de mobilité des porteurs, et aussi pour ne pas augmenter de façon trop sensible la résistance d'accès du transistor.

Cette structure classique de transistor MOS comportant des poches d'implantation de dopants s'est
20 avérée satisfaisante en termes de réduction des effets SCE et DIBL avec des transistors ayant une grille d'une longueur de l'ordre de $0,25 \mu m$. Toutefois, lorsque la longueur de grille devient inférieure à cette valeur, on constate que l'effet canal court réapparaît, ce qui se
25 traduit par une baisse sensible de la tension de seuil V_{th} du transistor. Pour fixer les idées, la figure représente des courbes C1 et C2 de la tension V_{th} en fonction de la longueur de grille L_g (qui détermine la longueur du canal). La courbe C1 se rapporte à un
30 transistor NMOS conventionnel dépourvu de poches d'implantation. On observe que la tension V_{th} chute fortement en dessous de $0,35 \mu m$. La courbe C2 est celle d'un transistor NMOS du type décrit ci-dessus, comportant des poches d'implantation. On observe que la courbe C2
35 est sensiblement horizontale au voisinage de $0,25 \mu m$ mais tend à nouveau vers zéro avec une forte pente en dessous de cette valeur.

La présente invention vise à pallier cet inconvénient.

Plus particulièrement, la présente invention vise une structure de transistor MOS offrant une courbe
5 $V_{th} = f(L_g)$ sensiblement plate dans une gamme de longueur de grille de l'ordre de $0,10\mu m$ à $0,25\mu m$.

Cet objectif est atteint par la prévision d'un transistor MOSFET du type décrit ci-dessus, comprenant une troisième et une quatrième poches de dopants, du type
10 P^{++} ou N^{++} , implantées dans le canal au voisinage des régions de drain et de source, d'un volume inférieur à celui des première et deuxième poches, de telle sorte que le canal présente un profil de concentration en dopant croissant du type N^+/N^{++} ou P^+/P^{++} au voisinage des régions
15 de drain et de source.

Grâce à l'invention, on augmente de façon localisée la concentration de dopants dans le canal, à l'interface canal/drain ou canal/source, de sorte que l'on diminue dans le canal l'étendue de la zone de charge d'espace.
20 L'effet SCE se trouve ainsi réduit et la tension de seuil V_{th} du transistor ne diminue pas de façon rédhibitoire lorsque la longueur de grille est inférieure à $0,25\mu m$.

Selon un mode de réalisation, les dopants des première et deuxième poches sont des atomes à faible
25 masse atomique, comme du phosphore ou du bore, et les dopants des troisième et quatrième poches sont des atomes à plus forte masse atomique, comme de l'arsenic ou de l'indium.

De préférence, les troisième et quatrième poches de
30 dopants sont implantées avec une dose plus forte et une énergie plus faible, relativement à leur masse atomique, que les première et deuxième poches.

De préférence toujours, les troisième et quatrième poches de dopants sont implantées avec un angle plus
35 faible que les première et deuxième poches.

Par exemple, les troisième et quatrième poches de dopants sont implantées avec un angle de l'ordre de 15° ,

et les première et deuxième poches sont implantées avec un angle de l'ordre de 25° .

Selon un mode de réalisation, les régions de drain et de source comprennent au voisinage du canal des zones
5 d'extension légèrement dopées.

L'invention concerne ainsi notamment un transistor comprenant une grille d'une longueur inférieure à $0,25$ micromètre, et un circuit intégré sur substrat de silicium comprenant au moins un tel transistor.

10 Ces objets, caractéristiques et avantages de la présente invention seront exposés plus en détail dans la description suivante d'un exemple de réalisation d'un transistor selon l'invention, faite à titre non limitatif en relation avec les figures jointes, qui ne seront
15 considérées qu'en tant que représentations schématiques, parmi lesquelles :

- la figure 1 précédemment décrite est une vue en coupe d'un transistor NMOS classique,
- la figure 2 précédemment citée représente des courbes
20 de la tension de seuil d'un transistor MOS en fonction de la longueur de grille,
- la figure 3 est une vue en coupe d'un transistor MOS selon l'invention,
- les figures 4A, 4B représentent, pour deux longueurs de
25 grille, la répartition des dopants dans le canal d'un transistor MOS classique, et
- la figure 4C représente la répartition des dopants dans le canal d'un transistor MOS selon l'invention.

Comme on l'a indiqué au préambule en relation avec
30 la figure 2, courbe C2, les avantages des transistors MOS comprenant des poches de dopants implantées sous la grille tendent à disparaître lorsque la longueur de grille devient inférieure à $0,25 \mu\text{m}$. De façon simplifiée, la demanderesse explique ce phénomène par le fait que les
35 poches pénètrent sous la grille sur une longueur de l'ordre de $0,07$ à $0,10 \mu\text{m}$. Lorsque l'on atteint des longueurs de grille de l'ordre de $0,20 \mu\text{m}$ ou moins, les

poches se rejoignent et l'on retrouve un dopage sensiblement constant dans le canal avec réapparition de l'effet canal court.

La figure 3 représente en coupe un transistor 50 selon l'invention ne présentant pas cet inconvénient, ici un transistor du type NMOS (canal N, substrat P). Dans sa structure générale, le transistor 50 est conforme au transistor classique de la figure 1, les mêmes éléments étant désignés par les même références. Le transistor 50
10 comporte ici une grille 3 d'une longueur de l'ordre de 0,20 μm ou moins, de sorte que la première poche 14 côté drain 7 et la deuxième poche 15 côté source 8 se rejoignent et occupent pratiquement tout le canal 9.

Selon l'invention, le transistor 50 comprend deux
15 autres poches de dopants 16 et 17, implantées comme les précédentes au voisinage des régions d'extension de drain 7-1 et de source 8-1, avec auto-alignement sur les bords de grille 3. Les poches 16, 17 se distinguent des poches 14, 15 par une implantation à plus forte dose et énergie
20 plus faible, faite de préférence avec un angle d'implantation plus faible (relativement à la normale du substrat). Les poches 16, 17 demeurent ainsi très localisées sur les régions d'extension de drain 7-1 et de source 8-1, s'étendent moins profondément dans le canal 9
25 et diffusent moins sous la grille 3. Elles présentent un dopage du type P^{++} plus élevé que le dopage P^+ des poches 14, 15. En d'autres termes, l'implantation des poches 16, 17 se définit plutôt comme une implantation localisée en surface, pouvant être qualifiée d'implantation "halo",
30 alors que l'implantation des poches 14, 15 se définit plutôt comme une implantation en volume.

Avant de décrire plus en détail les aspects technologiques de la réalisation des poches 16 et 17, on se réfèrera aux figures 4A à 4C qui illustrent les
35 avantages de l'invention en comparaison avec l'art antérieur.

La figure 4A représente, selon un axe de coupe AA' représenté sur la figure 1, la courbe N1 de la concentration en accepteurs N_A (transistor NMOS) ou en donneurs N_D (transistor PMOS) le long du canal d'un transistor MOS classique, pour des longueurs de grille L_g supérieures ou égales à $0,25 \mu\text{m}$. On voit que la courbe présente deux renflements latéraux, côté drain et côté source, obtenus grâce à l'implantation des poches 14 et 15. Les bords externes de ces renflements présentent un profil de concentration décroissant ayant une pente assez faible en raison de l'influence du dopage inverse des régions contiguës de drain et de source, et du fait que l'implantation des poches 14, 15 est faite à forte énergie. Lorsque la longueur de grille L_g diminue, on voit sur la figure 4B que les deux renflements se confondent (poches 14, 15 se rejoignant sous la grille). Le canal présente alors une courbe de concentration N2 en forme de dôme ressemblant à celle d'un transistor ne comportant pas les poches 14 et 15, et l'effet canal court redevient prépondérant.

La figure 4C représente selon l'axe AA' la courbe N3 de la concentration en accepteurs N_A ou en donneurs N_D le long du canal d'un transistor MOS selon l'invention (figure 3). Grâce à l'implantation localisée des poches 16, 17, la courbe N3 au voisinage des régions de drain et de source (bords externes de la courbe N3) présente une pente très raide et une concentration de donneurs ou d'accepteurs élevée, du type P^{++} ou N^{++} . Selon les règles usuelles de la physique des semi-conducteurs, il s'ensuit que la zone de déplétion est moins étendue dans le canal à l'interface canal/drain ou source/drain, de sorte que l'effet canal court est partiellement neutralisé et que la longueur utile du canal est augmentée. La conséquence directe, illustrée sur la figure 2, est que la courbe C3 de la tension de seuil V_{th} en fonction de la longueur de grille L_g est nettement redressée dans la gamme de

longueurs de grilles allant de 0,10 à 0,25 μm , conformément aux objectifs de l'invention.

Le redressement de la courbe $V_{th} = f(L_g)$ selon l'invention peut également s'expliquer par la théorie des bandes d'énergie. Un semi-conducteur présente des niveaux d'énergie E_v (limite haute de la bande de valence) et E_c (limite basse de la bande de conduction) définissant la bande interdite (gap) du semi-conducteur, dont la position relativement à l'énergie de Fermi E_f dépend du type de dopage appliqué au semi-conducteur et de la concentration en dopant. A l'équilibre thermodynamique, le niveau de Fermi E_f est une constante dans l'ensemble de la structure et les niveaux d'énergie E_v et E_c des régions de drain, de canal et de source se rejoignent. Dans l'art antérieur, la jonction des niveaux E_v et E_c aux interfaces canal/drain et canal/source se fait avec une pente assez faible, dans deux zones de transition situées en grande partie dans le canal, côté drain et côté source. Lorsque la longueur de grille L_g diminue, ces zones de transition deviennent prépondérantes et finissent par occuper tout le canal. Cela provoque une diminution de l'écart entre les niveaux E_v/E_c de la région de canal et les niveaux E_v/E_c des régions de drain et de source, d'où une diminution du travail de sortie des électrons. Il en résulte une tendance plus marquée du transistor à la conduction et une chute de la tension de seuil V_{th} . Avec l'invention, le surdopage des poches 16 et 17 permet de réduire l'étendue des zones de transition, de redresser la pente de la variation des bandes d'énergie dans les zones de transition, et de redonner à la tension de seuil V_{th} sa valeur théorique.

En pratique, les étapes de réalisation des poches 16, 17 selon l'invention peuvent être incorporées dans le procédé classique de fabrication des circuits intégrés MOS sans que cela nécessite de modifier les autres étapes du procédé. En relation avec la figure 3, le procédé de fabrication comprend alors les étapes suivantes :

- 1) formation dans une plaquette de silicium monocristallin de caissons 2 du type N (pour transistors PMOS) et de caissons 2 du type P (pour transistors NMOS) séparés par des zones d'oxyde de champ,
5
- 2) dépôt de la couche isolante mince 4 sur la plaquette,
- 3) dépôt du matériau de grille 3, gravure des grilles et de la couche isolante 4,
- 4) caissons N découverts (caissons P masqués) :
10
 - implantation auto-alignée sur les bords de grille des régions d'extension de drain 7-1 et de source 8-1, du type P⁺,
 - implantation auto-alignée sur les bords de grille des poches profondes 14, 15 du type N⁺,
 - 15 - implantation auto-alignée sur les bords de grille des poches localisées 16, 17 selon l'invention, du type N⁺⁺,
- 5) caissons P découverts (caissons N masqués) :
20
 - implantation auto-alignée sur les bords de grille des régions d'extension de drain 7-1 et de source 8-1, du type N⁺,
 - implantation auto-alignée sur les bords de grille des poches profondes 14, 15 du type P⁺,
 - implantation auto-alignée sur les bords de grille des poches localisées 16, 17 selon l'invention, du type P⁺⁺,
25
- 6) réalisation des espaceurs 5, 6 par dépôt et gravure d'une couche d'oxyde sur la plaquette,
- 7) caissons N découverts (caissons P masqués) :
30
 - implantation auto-alignée sur les espaceurs 5, 6 des régions de drain 7 et de source 8 fortement dopées, du type P⁺⁺,
- 8) caissons P découverts (caissons N masqués) :
35
 - implantation auto-alignée sur les espaceurs 5, 6 des régions de drain 7 et de source 8 fortement dopées, du type N⁺⁺,

- 9) recuit à basse température (environ 800°C) ou recuit flash à haute température (environ 1000°C) pour la redistribution des dopants (cette étape peut être réalisée à différents moments du processus de fabrication),
- 10) siliciuration superficielle des grilles 3 et des régions de drain 7 et de source 8 avant métallisation,
- 11) dépôt et gravure d'une ou plusieurs couches minces métalliques (Métal 1, Métal 2,...) avec interposition d'oxyde, pour la réalisation des contacts 11, 12, 13, de pistes conductrices, et de plages de contact ("pads") du circuit intégré.

Les tableaux 1, 2, 3 et 4 ci-après donnent des exemples de paramètres d'implantation, respectivement pour les zones d'extension 7-1, 8-1, les régions de drain 7 et de source 8, les poches profondes 14, 15 et les poches localisées 16, 17 selon l'invention. On retiendra qu'il est souhaitable que les poches localisées 16, 17 soient implantées avec un angle assez faible, inférieur à l'angle d'implantation des poches profondes 14, 15. Egalement, bien que le tableau 4 offre à toutes fins utiles plusieurs choix de dopants, il est souhaitable que les poches localisées 16, 17 soient implantées au moyen d'ions lourds comme l'Indium ou l'Arsenic, qui diffusent moins dans le canal pendant les étapes de recuit thermique. Inversement, les poches profondes 14, 15 sont de préférence implantées avec des ions légers, pour une meilleure diffusion des dopants dans le canal. Enfin, il est bien évident que la concentration en dopant des régions d'extension de drain 7-1 et de source 8-1 doit être en valeur absolue supérieure à la concentration en dopant des poches localisées 16, 17 afin de ne pas neutraliser les porteurs libres de ces régions au moment de l'implantation des poches localisées 16, 17.

Tableau 1 : caractéristiques des régions 7-1, 8-1 (LDD)

	Transistor NMOS	Transistor PMOS
Conductivité	N ⁺	P ⁺
Dopant	Arsenic	Bore
Concentration	N _D \cong 9 10 ¹⁷ à 10 ¹⁸ at./cm ³	N _A \cong 9 10 ¹⁷ à 10 ¹⁸ at./cm ³

Tableau 2 : caractéristiques des régions 7, 8 (Source et Drain)

	Transistor NMOS	Transistor PMOS
Conductivité	N ⁺⁺ (saturé)	P ⁺⁺ (saturé)
Dopant	Arsenic	Bore
Concentration	N _D \cong 10 ²⁰ at./cm ³	N _A \cong 10 ²⁰ at./cm ³

5 Tableau 3 : caractéristiques d'implantation des poches 14, 15

	Transistor NMOS	Transistor PMOS
Conductivité	P ⁺	N ⁺
Angle ⁽¹⁾	\cong 25°	\cong 25°
Dopant	Bore	Phosphore
Masse atomique	\cong 11	\cong 28
Energie d'implantation	\cong 25 KeV	\cong 75 KeV
Dose implantée	\cong 10 ¹³ at./cm ²	\cong 10 ¹³ at./cm ²
Concentration après recuit	N _A \cong 10 ¹⁷ at./cm ³	N _D \cong 10 ¹⁷ at./cm ³

Tableau 4 : caractéristiques d'implantation des poches 16, 17

	Transistor NMOS	Transistor PMOS
Conductivité	P ⁺⁺	N ⁺⁺
Angle ⁽¹⁾	\cong 15°	\cong 15°
Dopant	Bore ou Indium	Phosphore ou Arsenic
Masse atomique	\cong 11 (B) \cong 120 (In)	\cong 28 (P) \cong 80 (As)
Energie d'implantation	\cong 7 KeV (B) \cong 60 KeV (In)	\cong 25 KeV (P) \cong 50 KeV (As)
Dose implantée	\cong 2 10 ¹³ at./cm ²	\cong 2 10 ¹³ at./cm ²
Concentration après recuit	N _A \cong 2 à 3 10 ¹⁷ at./cm ³	N _D \cong 2 à 3 10 ¹⁷ at./cm ³

⁽¹⁾ Angle d'implantation relativement à la normale du substrat

Annexe :

- A[1]: "Quarter-micrometer self align pocket implantation MOSFET's and its application for low supply voltage operation", A. Hori et al, IEEE vol. 42, 01/1995,
- 5 A[2]: "Self align control of threshold voltage in sub 0.2 μ m MOSFET's, H. Kurata et al, IEEE Vol. 45, 10/1998,
- A[3]: "Short channel effect improved by lateral channel engineering in deep submicrometer MOSFET's, B. Yu et al, IEEE vol. 44, 04/1997.

REVENDEICATIONS

1. Transistor MOSFET (50) du type NMOS ou PMOS, comprenant des régions (7, 7-1, 8, 8-1) de drain et de source du type N ou P implantées dans un substrat (2) du type P ou N, une grille (3) formée sur le substrat par l'intermédiaire d'une couche mince électriquement isolante (4), et une première (14) et une deuxième (15) poches de dopants du type P⁺ ou N⁺ implantées dans le canal (9) du transistor au voisinage des régions de drain et de source, s'étendant sensiblement sous la grille, caractérisé en ce qu'il comprend une troisième (16) et une quatrième (17) poches de dopants, du type P⁺⁺ ou N⁺⁺, implantées dans le canal (9) au voisinage des régions de drain et de source, d'un volume inférieur à celui des première (14) et deuxième (15) poches, de telle sorte que le canal (9) présente un profil de concentration en dopant croissant du type N⁺/N⁺⁺ ou P⁺/P⁺⁺ au voisinage des régions de drain et de source.

2. Transistor selon la revendication 1, caractérisé en ce que :

- les dopants des première et deuxième poches sont des atomes à faible masse atomique, comme du phosphore ou du bore,
- les dopants des troisième et quatrième poches sont des atomes à plus forte masse atomique, comme de l'arsenic ou de l'indium.

3. Transistor selon l'une des revendications 1 et 2, caractérisé en ce que les troisième (16) et quatrième (17) poches de dopants sont implantées avec une dose plus forte et une énergie plus faible, relativement à leur masse atomique, que les première et deuxième poches.

4. Transistor selon l'une des revendications 1 à 3, caractérisé en ce que les troisième (16) et quatrième (17) poches de dopants sont implantées avec un angle plus faible que les première et deuxième poches.

5. Transistor selon la revendication 4, caractérisé en ce que les troisième (16) et quatrième (17) poches de dopants sont implantées avec un angle de l'ordre de 15° .

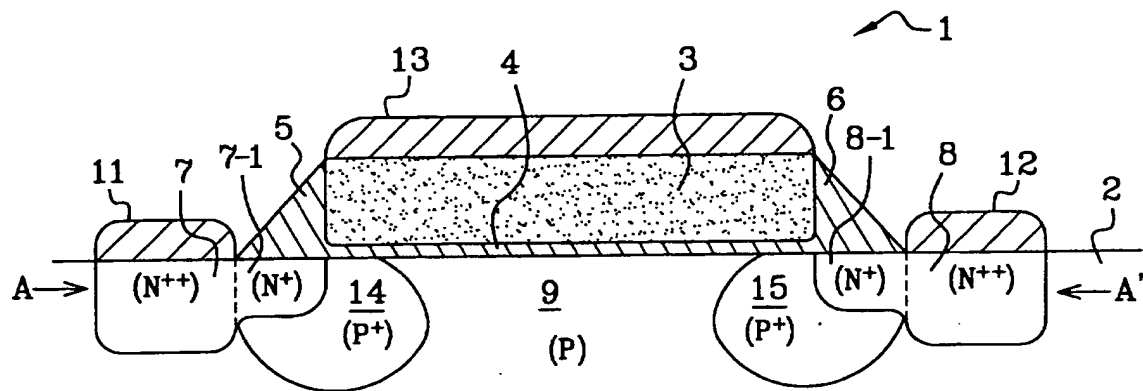
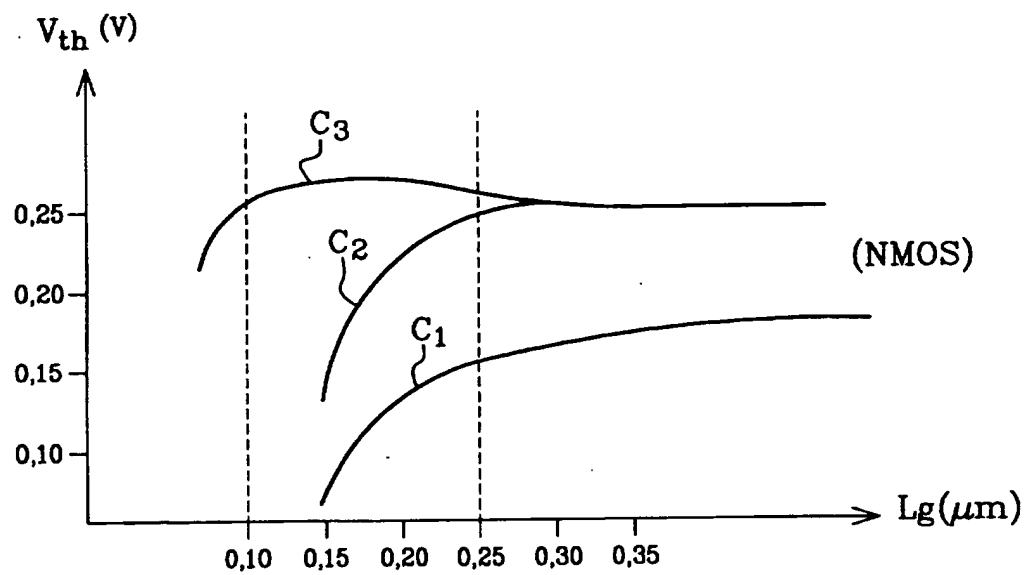
6. Transistor selon l'une des revendications 4 et 5, caractérisé en ce que les première (14) et deuxième (15) poches sont implantées avec un angle de l'ordre de 25° .

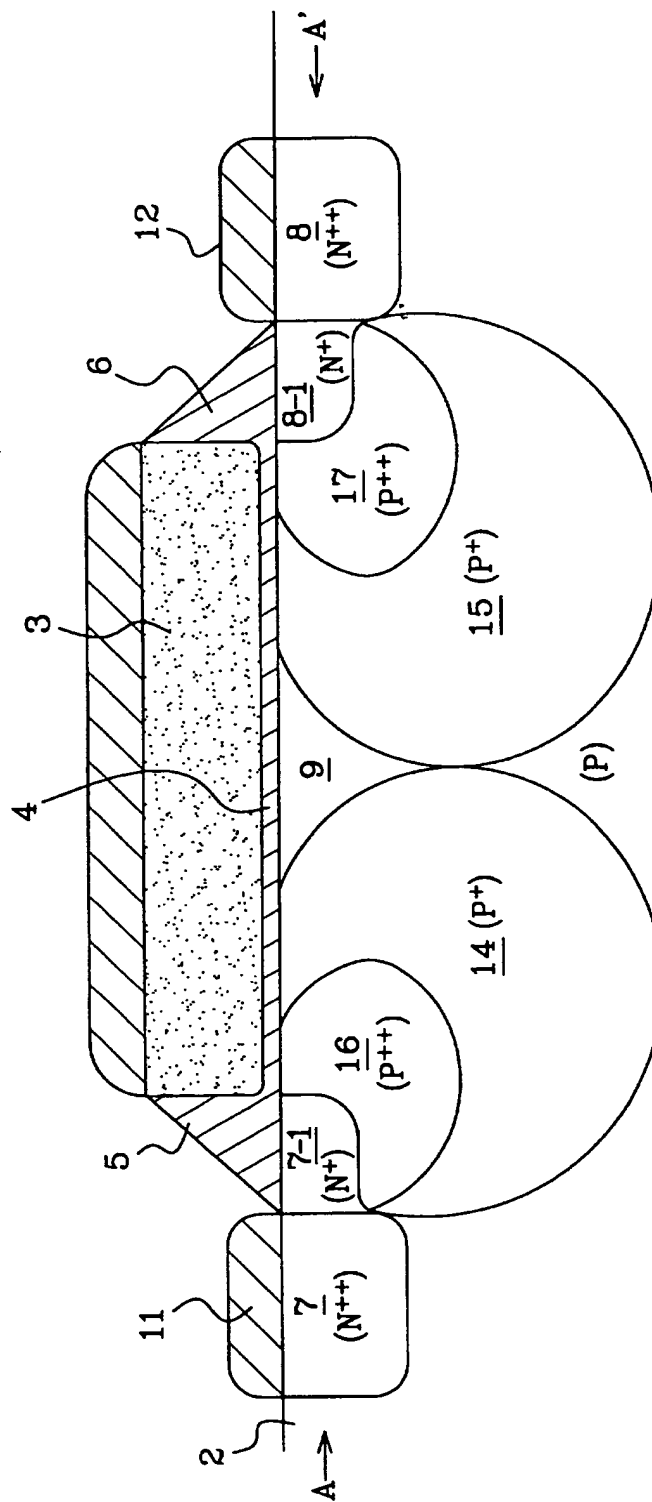
7. Transistor selon l'une des revendications 1 à 7, caractérisé en ce que les régions de drain et de source comprennent au voisinage du canal des zones d'extension (7-1, 8-1) légèrement dopées.

8. Transistor selon l'une des revendications 1 à 7, comprenant une grille d'une longueur (L_g) inférieure à 0,25 micromètre.

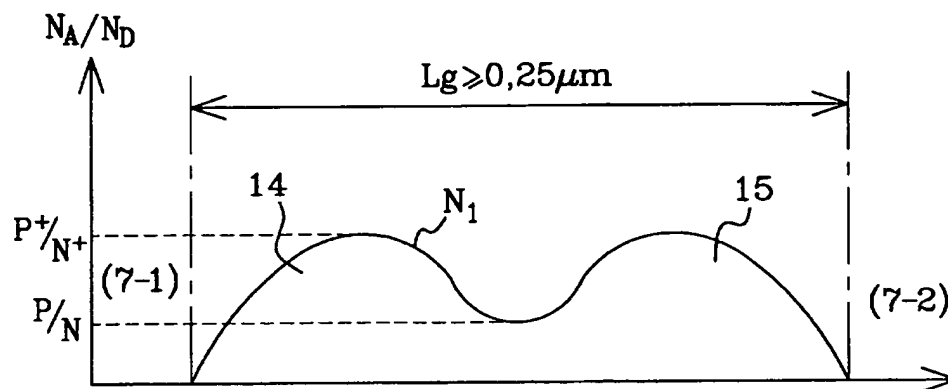
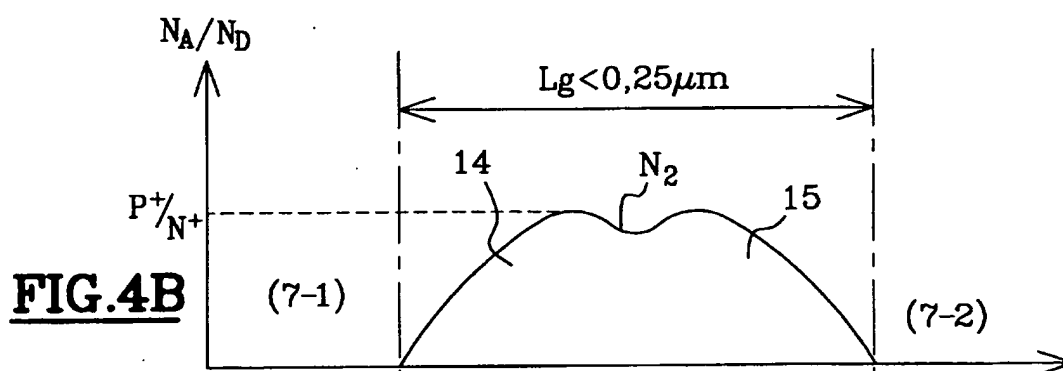
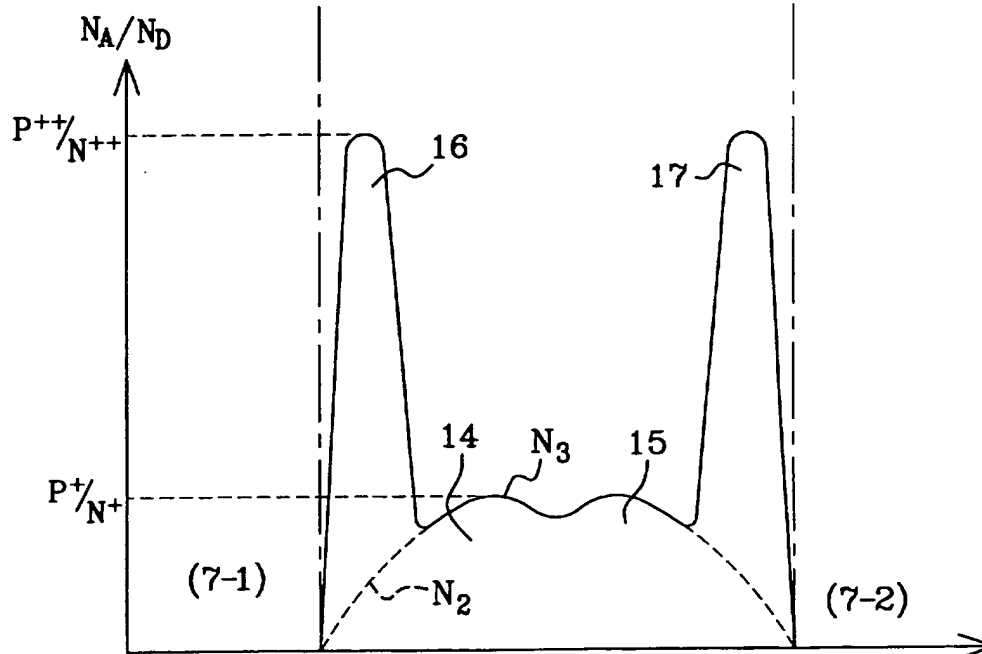
9. Circuit intégré sur substrat de silicium, comprenant au moins un transistor selon l'une des revendications 1 à 8.

1/3

**FIG.1****FIG.2**

**FIG. 3**

3/3

**FIG. 4A****FIG. 4B****FIG. 4C**

INSTITUT NATIONAL
d la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 573803
FR 9909038

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US 5 426 063 A (KANEKO SEIJI ET AL) 20 juin 1995 (1995-06-20)	1,4,5, 7-9
A	* colonne 3, ligne 20 - colonne 8, ligne 10; figures 1-7,15 *	3,6
A	US 5 371 394 A (MA GORDON C ET AL) 6 décembre 1994 (1994-12-06) * colonne 2, ligne 18 - colonne 3, ligne 2; figure 1 *	1,9
A	PATENT ABSTRACTS OF JAPAN vol. 017, no. 649 (E-1468), 2 décembre 1993 (1993-12-02) -& JP 05 211328 A (NEC CORP), 20 août 1993 (1993-08-20) * abrégé; figure 1 *	1,9
A	EP 0 752 722 A (MOTOROLA INC) 8 janvier 1997 (1997-01-08) * colonne 5, ligne 32 - colonne 7, ligne 18; figures 4-7 * * colonne 7, ligne 56 - colonne 8, ligne 10 *	1,2,9
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.7)
		H01L
Date d'achèvement de la recherche		Examineur
19 avril 2000		Gélébart, J
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		